

Таблица 5

Номер режима	Уровень бита					Режим вывода доп. изобр.
	d4	d3	d2	d1	d0	
0	0	0	0	0	0	1 X 4
1	0	0	0	0	1	1 X (1/9)
2	0	0	0	1	0	1 X (1/16)
3	0	0	0	1	1	1 X (1/36)
4	0	0	1	0	0	4 X (1/16) (2 строки)
5	0	0	1	0	1	4 X (1/16) (в строку)
6	0	0	1	1	0	4 X (1/16) (в столбец)
7	0	0	1	1	1	9 X (1/36) (3 строки по 3 изобр.)
8	0	1	0	0	0	2 X (1/9) (в строку)
10	0	1	0	1	0	8 X (1/36) (2 строки по 4 изобр.)
11	0	1	0	1	1	2 X (1/9) (в столбец)
13	0	1	1	0	1	8 X (1/36) (2 столбца по 4 изобр.)
14	0	1	1	1	0	4 X (1/36) (2 строки по 2 изобр.)
15	0	1	1	1	1	1 X (1/9) (врезка 4:3 в изобр. 16:9)
16	1	0	0	0	0	1 X (1/16) (врезка 16:9 в изобр. 4:3)
17	1	0	0	0	1	3 X (1/9) (врезка 4:3 в 16:9 в столбец)
18	1	0	0	1	0	1 X (1/4) (врезка 4:3 в изобр. 16:9)
19	1	0	0	1	1	1 X (1/9) (врезка 16:9 в изобр. 4:3)

Переключками, соединяющими выводы 25—27 микросхемы DD1 с общим проводом или источником напряжения +5 В, устанавливают оптимальную задержку сигнала яркости. Цифровой сигнал яркости (выводы 2—7) и цифровые цветоразностные сигналы (выводы 8—11) поступают на процессор PIP DD2. С вывода 12 микросхемы DD1 на процессор PIP приходит тактовый сигнал 13,5 МГц, а с вывода 1 — строчные импульсы вводимого изображения. Выводы 17 и 18 процессора PIP подключены к проводникам SCL и SDA цифровой шины I<sup>2</sup>C, соединенной с центральным процессором телевизора. Режим вывода 4 (соединение с общим проводом, свободное состояние или подача напряжения +5 В) определяет адрес микросхемы.

С выводов 8—10 процессора DD2 снимают выходные аналоговые сигналы R, G, B, а с вывода 14 — бланкирующие импульсы. Эти сигналы поступают на быстродействующий коммутатор видеопроцессора DA2 (выводы 1—3). Коммутатор включают в разрыв цепей основных сигналов R, G, B или Y, U, V телевизора. Например, выходы видеопроцессора телевизора подключают к выводам 10—12 видеопроцессора устройства PIP, а эмиттеры транзисторов VT5—VT7 — к входам платы кинескопа.

Налаживание модуля сводится к установке оптимальной задержки АРУ селектора каналов и точному совмещению во времени сигналов яркости и цветности. Все остальное обеспечивается по шине I<sup>2</sup>C. Номер и режим вывода дополнительных изображений определяется значениями битов d4—d0 регистра 04 в соответствии с табл. 5.

Значение бита d5 в регистре 00 определяет режим изображения (подвижное или “замороженное”). Если выводится несколько изображений, каждое из них имеет номер позиции, например, 0, 1, 2, 3 для режима № 5. Подвижное изображение в группе может быть лишь в одной позиции, в которую запи-

сывается сигнал. Эту позицию выбирают битами d7—d4 регистра 05. Высоту и ширину линии рамки задают соответственно битами d4, d3 и d2, d1 регистра 11. Бит d7 регистра 11 позволяет вводить внутренние рамки между вводимыми изображениями. Каждое изображение в группе может иметь обозначение в виде пяти знаков в левом верхнем углу. При вводе обозначения сначала выбирают позицию в группе изображений (биты d6—d3 регистра 19), затем номер знака (d2—d0 того же регистра). После этого выбирают сам знак (биты d6—d0 регистра 20).

Меняя биты регистров 02 и 03, можно смещать одиночное изображение или их группу по горизонтали и вертикали.

Если требуется, чтобы устройство PIP сканировало принимаемые телевизором программы, то модуль должен быть дополнен тактирующим устройством (мульти vibratorом), задающим интервал времени между опросом соседних программ, например, 10 с. В начале каждого цикла срабатывает кольцевой счетчик, выходной сигнал которого, поступающий на центральный процессор, служит кодом соответствующей программы. Процессор перестраивает селектор устройства PIP на выбранный канал и иницирует запись в очередную позицию малых изображений. После обхода всех программ, например девяти, если используется режим № 7, процесс повторяется.

Следует заметить, готовые процессоры сшитыми программами, обеспечивающими управление модулем “Квадро-PIP”, не выпускают. Поэтому необходимо использовать стандартный процессор с внешним ПЗУ программ, например SDA5250.

Вариант модуля PIP собран на печатной плате из двустороннего фольгированного стеклотекстолита. Пример разводки печатных проводников и размещение деталей на обеих сторонах платы показаны на рис. 3. В модуле конденсаторы C5—C7, C17, C21, C22, C25, C26,

C28, C29, C37, C40 и C43 — бескорпусные, для поверхностного монтажа, например, K10-47В или K10-56. Их припаивают к печатным проводникам на второй стороне платы, остальные детали размещены на первой стороне.

Если в телевизоре размах сигнала SSC равен 10 В, в разрыв вывода 14 видеопроцессора DA2 впаивают ограничительный резистор R57 сопротивлением 4,7 кОм. Если амплитуда импульсов SSC равна 5 В, вместо резистора R57 вставляют переключку.

Следует отметить, что коммутатор R, G, B в микросхеме DA2 имеет два строенных входа: для сигналов PIP (выводы 1—3) и для сигналов второго канала (выводы 10—12). На коммутатор также должен поступать сигнал SSC с телевизора (на вывод 14). Управление коммутатором обеспечивается по выводам 52 (сигналом FB с процессора PIP) и 13. Если выход коммутатора подключен к входам R, G, B видеопроцессора, то при необходимости подать на те же входы вместо сигнала PIP другой видеосигнал, на вывод 13 подают соответствующие бланкирующие импульсы положительной полярности. Когда коммутатор включают в разрыв основного канала, на выводе 13 нужно установить постоянное напряжение +1 В внешним резистивным делителем.

В 1998 г. начнется выпуск новой микросхемы PIP SDA9388, содержащей декодер NTSC/PAL (M). С 1999 г. начнется производство микросхем SDA9488 и SDA9489, которые снабжены всестандартными декодерами. Они заменяют процессоры SDA9288 и SDA9189.

## ЛИТЕРАТУРА

1. **Хохлов Б.** Устройство “Кадр в кадре”. — Радио, 1995, № 5, с. 11—13.
2. **Хохлов Б.** Модуль “Кадр в кадре” на микросхемах SDA90\*\*. — Радио, 1995, № 11, с. 7—10.
3. Авторское свидетельство № 1817257. — Бюл. “Изобретения, открытия...”, 1993, № 19.