

резистор R2 положительна. Подача входного импульса $SD=1$ при низком уровне на выходе приводит к скачкообразному переходу триггера в единичное состояние. Повторная подача этого импульса не изменяет состояния триггера, входной импульс на выход не проходит. Импульсы “дребезга” триггер подавляет. Таким образом, при переключении в единичное состояние триггер ведет себя как классический.

В этом состоянии на верхнем входе элемента действует высокий уровень в результате действия положительной ОС. После подачи входного импульса $RT=1$ процесс переключения идет в несколько этапов. Пока амплитуда импульса увеличивается от нуля до примерно $U_{пор}$, элемент является повторителем, а ОС через резистор — положительна (первая фаза формирования выходного перепада).

При амплитуде, близкой к $U_{пор}$, элемент DD1.1 уже и не повторитель, и не инвертор, а цепь ОС оказывается разомкнутой, так как выходное напряжение и дифференциальный коэффициент усиления элемента практически равны нулю независимо от напряжения на втором входе элемента.

После увеличения амплитуды до номинального единичного уровня на обоих входах действует высокий уровень: на нижнем — входной импульс, на верхнем из-за действия заряженной емкости C_0 , включающей входную емкость элемента, выходную емкость источника входного импульса SD и емкость монтажа. В результате происходит переключение элемента (вторая фаза формирования выходного перепада). Можно считать, что элемент переключается быстрее, чем подзарядывается емкость C_0 (с постоянной времени $\tau=C_0R_{ос}$) и выходное напряжение падает до нуля до того, как разрядилась емкость C_0 .

При достижении $RT=1$ элемент по отношению к верхнему входу становится инвертором, и по мере разрядки емкости C_0 напряжение на верхнем входе элемента уменьшается, а на выходе — увеличивается. Замыкается цепь ОС, элемент переходит в аналоговый режим. Напряжение на его выходе и верхнем входе увеличивается до $U_{пор}$ (для элемента микросхемы K561ЛП2 $U_{пор} \approx 0,4U_{пит}$).

Таким образом, элемент DD1.1 триггера по схеме на рис. 1 из [1] после переключения в нулевое состояние находится в аналоговом режиме и поэтому усиливает сетевые наводки и импульсные помехи либо становится генератором, импульсы “дребезга” при $RT=1$ проходят на выход с уровнем $0,4U_{пит}$. Этот триггер не отвечает свойствам 1, 2 и 7, сформулированным в начале статьи. Наличие режима отрицательной ОС при действии импульса на входе RT ухудшает помехозащищенность (см. [4]) как самого триггера, так и последующих узлов. При действии запрещенной комбинации $SD=RT=1$ триггер принимает нулевое состояние.

Некоторые свойства этого триггера можно улучшить. Установлено, что амплитуда паразитного импульса на выходе, по времени совпадающего с импульсом $RT=1$, зависит от амплитуды установочного импульса на входе RT. Как уже было упомянуто, при $RT=U_{пор}$ амплитуда

паразитного импульса достигает примерно $0,4U_{пит}$, при $RT=0,67U_{пор}$ — уже $0,125U_{пит}$, а при $RT=0,5U_{пор}$ — 0.

Это свойство элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, кстати, можно использовать для регулировки амплитуды. При изменении управляющего напряжения на выв. 1 (6, 8, 13) от 0 примерно до $0,5U_{пор}$ будет плавно изменяться амплитуда выходного импульса, повторяющего по форме импульс, поданный на выв. 2 (5, 9, 12). При значениях $RT < 0,5U_{пор}$ уровень паразитного импульса остается практически равным 0, но при этом значительно (в десятки раз) увеличивается время спада выходного импульса.

Таким образом, для установки триггера в нулевое состояние необходимо на вход RT подать импульс половинной амплитуды.

Схема рассмотренного варианта триггера с улучшенными переходными характеристиками изображена на рис. 14. Здесь в цепь входа R включен резистивный делитель R1, R2. Этот триггер импульсы “дребезга” на входе R подавляет, но спад выходного импульса у него затянут из-за отсутствия положительной ОС во второй фазе формирования выходного импульса (не выполняется свойство 2). Резистор R3 может иметь сопротивление в пределах от 10 кОм до 1 МОм.

Обратим еще раз внимание на то, что при реализации триггера по рис. 14 на различных элементах микросхемы K561ЛП2 сигнал положительной ОС нужно подавать на входы 2, 5, 9, 12, иначе в выходном единичном импульсе появятся “просечка” (см. выше).

В RS-триггере по схеме на рис. 2* в [1] единичный импульс на вход R поступает через дифференцирующую цепь C1R2, что несколько улучшает переходные характеристики для первого импульса на входе R благодаря укорочению импульса, действующего на вход элемента, однако при повторной подаче импульса на вход R пиковое значение продифференцированного импульса, проходящего на выход триггера, все равно остается близким к $0,4U_{пит}$.

Переходные характеристики этого триггера могут быть существенно улучшены, если “разбить” резистор R2 на две примерно равные части и снимать сигнал на вход элемента со средней их точки, как это сделано на рис. 14.

Несмотря на указанные возможности улучшения переходных характеристик триггеров из [1], не следует забывать, что в них возможен аналоговый режим работы элемента ИСКЛЮЧАЮЩЕЕ

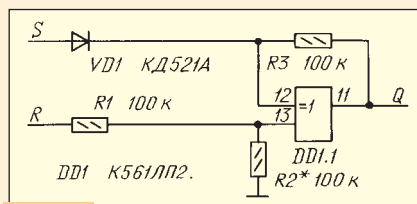


Рис. 14

* **Примечание редакции.** К сожалению, в этой публикации была допущена ошибка при монтаже рисунков: рисунком 2 следует считать рис. 3, а рисунком 3 — рис. 2. В настоящей статье А. Самойленко эта поправка учтена.

ИЛИ (например, при ошибочной установке коэффициента деления $K_d > 0,5$ в цепи входа R), а значит, усиление сетевых наводок и импульсных помех.

Заметим к тому же, что подобранный резистором R2 (рис. 14) режим входа R критичен к изменениям и напряжения питания, и температуры. Да и вообще, наличие подбираемых элементов в цифровом устройстве, даже любительском, крайне нежелательно.

RS-триггер на элементе ИСКЛЮЧАЮЩЕЕ ИЛИ, двух диодах и резисторе. Рассмотрим схему триггера на рис. 15. В режиме хранения информации на входах триггера поддерживают низкий уровень. При этом, как уже было сказано, элемент работает повторителем, а ОС через резистор R1 положительна.

Если триггер находится в нулевом состоянии, подача единичного импульса на вход S переводит триггер в состо-

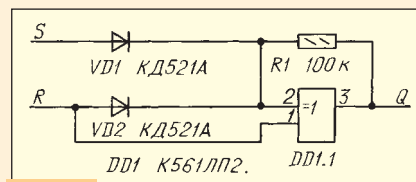


Рис. 15

яние 1, так как на другом входе (выв. 1) элемента продолжает действовать низкий уровень, элемент остается повторителем, а ОС — положительной.

Перед обратным переключением на верхнем по схеме входе (выв. 2) элемента высокий уровень, на входе S логическая переменная соответствует режиму хранения ($S=0$). При подаче единичного импульса на вход R на обоих входах элемента присутствует высокий уровень (на верхнем входе из-за действия ОС в первый момент после начала действия импульса). В результате элемент переключается и триггер переходит в нулевое состояние.

По мере уменьшения напряжения на выходе элемента открывается диод VD2, и теперь уже высокий уровень на верхнем входе поддерживается со стороны входа R триггера. Таким образом, опять на обоих входах элемента высокий уровень, что и удерживает триггер в нулевом состоянии. По окончании импульса на входе R диод VD2 закрывается, на обоих входах элемента присутствует низкий уровень (на верхнем входе из-за действия ОС). Следовательно, и после окончания импульса триггер остается в нулевом состоянии.

Таким образом, в триггере по схеме на рис. 15 резистор R1 обеспечивает положительную ОС, диод VD1 подключает вход S к элементу при установке триггера в состояние 1 и отключает его в режиме хранения, диод VD2 поддерживает примерное равенство значений напряжения на входах элемента при подаче единичного импульса на вход R и участвует в процессе переключения триггера в состояние 0.

Этот триггер не боится запрещенной комбинации, устанавливаясь в нулевое состояние, как при действии единичного импульса на входе R, т. е. вход R имеет приоритет. При неудачном выборе входов элемента в момент завершения импульса $S=1$ появляется